

B5 電界効果トランジスタの基礎特性

現代社会ではコンピュータや携帯電話といったいわゆる電子機器だけではなく、あらゆる装置・機器が電子制御されている。その制御機構の中枢をなすのがトランジスタである。MOS 型電界効果トランジスタは構造が簡単であり、リソグラフィ技術を用いて容易に集積度を高めることができる。このため、今日では全集積回路生産量の大半をMOS型集積回路が占めるに至っている。本研究の目的は、このような時代背景を念頭においてMOS 型電界効果トランジスタの構造や動作原理、および表面反転層内におけるキャリアの輸送現象を理解することである。

1. トランジスタの働き

トランジスタは、図1に外観を示すように、3本の足を持つ素子である。これらの足にはベース、エミッタ、コレクタと名前がついている。(MOSトランジスタの場合にはそれぞれゲート、ソース、ドレインと呼ばれている。) トランジスタの働きは基本的にはスイッチと同じである。右の図で、真ん中の端子であるベースに電流を流す(またはゲートに電圧を加える)とエミッタとコレクタ(またはソースとドレイン)の間が導通する。

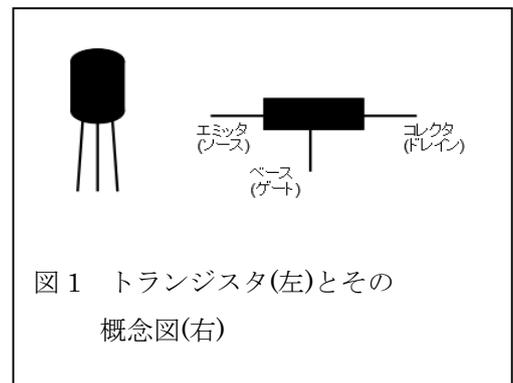


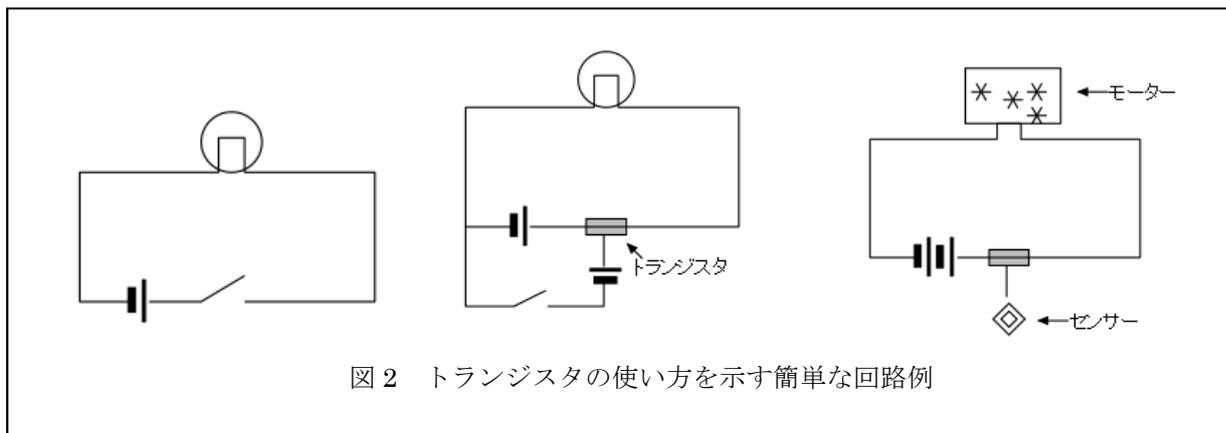
図1 トランジスタ(左)とその概念図(右)

(実際の素子では真ん中の足がベースであるとは限らない。)

これをどう使うかというのを示したのが図2である。図2(a)は電池と電球とスイッチから成る簡単な回路で、スイッチを押せば電流が流れて電球が点灯することは容易にわかる。同じことをトランジスタで行うのが図2(b)の回路で、スイッチを押すとベースに電流が流れて、エミッタ-コレクタ間がつながるので電球が点く。この例のように、“電気的なスイッチ”というのがトランジスタの基本的な役割りである。

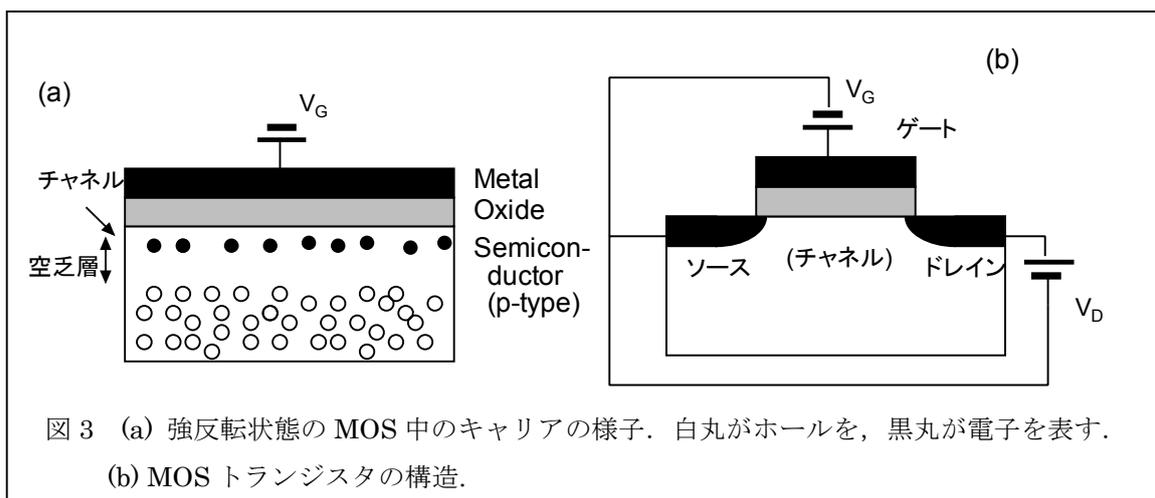
トランジスタにはもう一つ“信号増幅”という働きもある。図2(c)の回路では、トランジスタのベースにセンサー(たとえば光センサーとかマイクロフォンなど)がつながっており、センサーが光とか音声に反応すると電気がベースに加えられる。しかしセンサーから生じる電気はごく微弱なものでしかないのでそれ自体で出来る仕事はあまりない。しかし、エミッタとコレクタの間には大きな電圧が加えられているので、ひとたび導通すれば大きな電流が流れて、モーターを動かしてドアを開ける、音声を拡大するといったことができるのである。

またトランジスタはデジタル回路にも用いられて、0と1から成る2進数のデータに対する演算を行うことができる。



2. MOS 電界効果トランジスタ

トランジスタには大きく分けてバイポーラ型と MOS 型の 2 つの種類がある。さらに流れるキャリアの種類によって、前者は pnp 型と npn 型に、後者は n チャネル型と p チャネル型に分けられる。以下で、この実験で使う n チャネル MOS トランジスタの仕組みを説明する。



p 型半導体中にはホールと呼ばれる正の電荷を帯びた粒子がたくさんあって、このホールが流れることで電流が発生する。しかし p 型半導体に電界を加えるとホールが移動して、アクセプタの負電荷がむき出しになった領域が半導体表面付近にできる。このような領域

は、空乏層と呼ばれている。空乏というのはキャリアがなくなったという意味である。電界をさらに強めると、伝導電子(p型半導体中にも少しある)が表面に集まってきてシート状に分布する。この、電子のシートをチャンネルあるいは反転層と呼ぶ。半導体に電界を加えてキャリアを移動させるためには、半導体表面に絶縁体(通常は酸化物)を間に挟んで金属を付ける。図 3(a)のように、上から順に金属(Metal) - 酸化物(Oxide) - 半導体(Semiconductor)が重ねられているので、頭文字を取って MOS とよばれるのである。このように、キャリアをコントロールしてチャンネルを作るために電界を加えることは、MOS トランジスタのゲートに電圧を加えることに相当する。以上述べたことは図 3(a)に模式的に示されている。実際の MOS トランジスタには、図 3(b)のように、ソース、ドレインという n 型領域が設けられており、チャンネルが形成されるとソースとドレインの間が導通し電流が流れるという仕組みになっている。

3. MOS トランジスタの特性

3.1 MOS キャパシタ

前項に書いたことをもう少し詳しく解説する。図 4 は MOS 構造のバンド図で、左から (a) V_G がゼロ、(b) V_G がしきい値より小さいとき、(c) V_G がしきい値より大きいときの様子を表す(下記の“注意”を参照のこと)。図 4(a)で、 ϵ_i は真性フェルミエネルギー、 ϵ_F はフェルミエネルギー(p 型なので価電子帯近くに位置する)で、 ϕ_B は両者の差である。ゲートに弱い電圧を加えると中央の図のように酸化膜と半導体に電界が生じる。このとき、空乏層は生じているが、チャンネルはまだ形成されていない。ゲート電圧を大きくし、図(c)のように $\phi_s = 2\phi_B$ となるとチャンネルが形成され始める。 $\phi_s = 2\phi_B$ という条件は半導体の表面ポテンシャルがフェルミエネルギーと一致することとほぼ同じである。なお、これ以上ゲート電圧を大きくしても ϕ_s は増加しない。

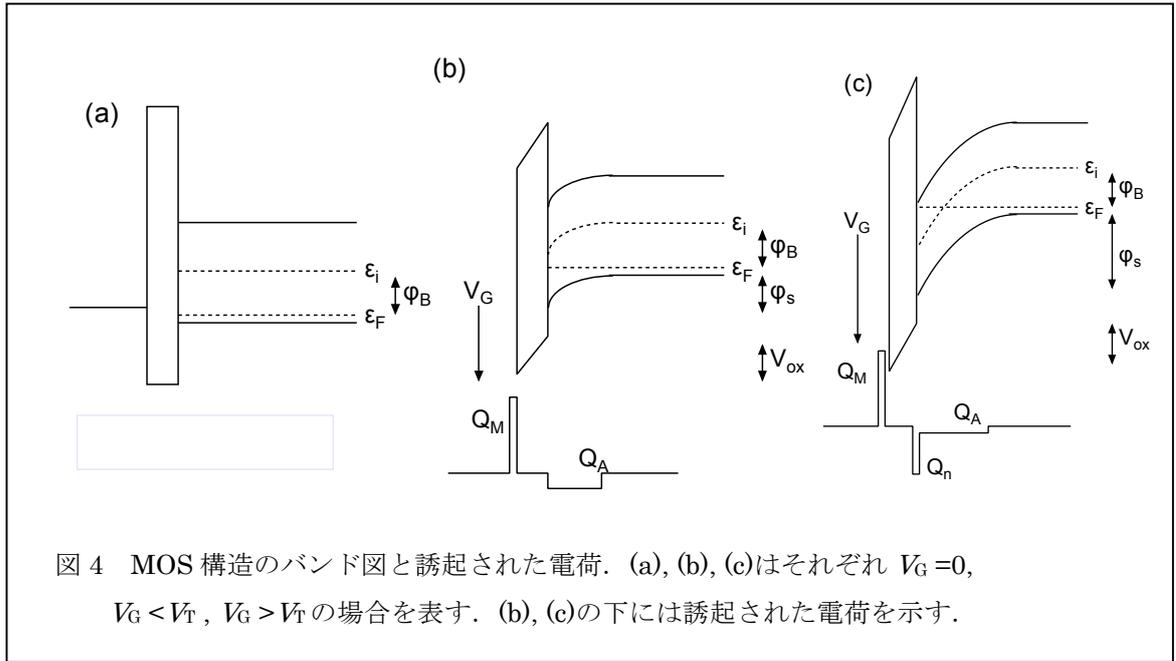
ゲート電圧 V_G 、酸化膜に加えられた電圧 V_{ox} 、半導体のバンドの曲り ϕ_s の間には

$$V_G = V_{ox} + \phi_s \quad (1)$$

の関係があることに注意しよう。この構造は平行平板コンデンサみたいなもので、酸化膜の静電容量を C_{ox} とすると、酸化膜のゲート金属側の表面には

$$Q_M = C_{ox} V_{ox} \quad (2)$$

だけの電荷が誘起される。一方半導体側には空乏層のアクセプタによる電荷 Q_A と反転電荷 Q_n が生じるが、これらの間には



$$Q_M + Q_A + Q_n = 0 \quad (3)$$

の関係がある. (1), (2), (3)式から反転層の電荷密度は

$$Q_n = C_{ox} [V_G - \phi_s - Q_A/C_{ox}] = C_{ox} [V_G - V_T] \quad (4)$$

と表されることがわかる. ただし

$$V_T = \phi_s + Q_A/C_{ox} = 2\phi_B + (4e\epsilon N_A \phi_B)^{1/2}/C_{ox} \quad (5)$$

とした. V_T はしきい値と呼ばれる重要な量で, ゲート電圧がしきい値より大きいとチャネルが形成されてトランジスタがオン状態となる. (5)式の右边を導く際に, (1)式のすぐ上に書いたことに基づき $\phi_s = 2\phi_B$ とした. また Q_A は空乏層幅 $d = (2e\phi_s/eN_A)^{1/2}$ にアクセプタの電荷密度 eN_A をかけて求めた.

(*注意*) 話を簡単にするためにここまでは無視してきたが, 実際の MOS トランジスタではゲート電圧がゼロでも酸化膜に電圧がかかっており, この電圧を打ち消すようにゲート電圧を加えたときにはじめて図 4(a)の状態が実現する. この電圧 V_{FB} をフラットバンド電圧と呼び, この実験で用いるトランジスタでは-1V である. したがって, 実験値と比較するためには(5)式は

$$V_T = V_{FB} + 2\phi_B + (4e\epsilon N_A \phi_B)^{1/2}/C_{ox} \quad (5a)$$

と変更されなくてはならない.

3.2 線形領域での特性

ここまでの話は、ソース - ドレイン間の電圧を無視したものであった。MOS トランジスタを動作させるときには図 3(b)のようにドレインに電圧が加えられていることを考慮する必要がある。その場合、反転電荷密度は(4)式ではなく、ドレイン電圧によるポテンシャル $V(z)$ を考慮に入れた

$$Q_n(z) = C_{ox} [V_G - \phi_s - V(z) - Q_A/C_{ox}] = C_{ox} [V_G - V_T - V(z)] \quad (6)$$

という式で表される。この式を用いて MOS トランジスタに流れる電流値を求めてみよう。まず、電流値は“断面積×電荷密度×電子の平均速度”で表され、さらに電子の平均速度は“移動度×電界”で表されることを思い出そう。電荷密度は場所に依存するがソース側 ($V(z)=0$)での値とドレイン側 ($V(z)=V_D$)での値の単純な平均を用いることにすると、ドレイン電流は

$$\begin{aligned} I_D &= W \times \mu \times [C_{ox} (V_G - V_T) + C_{ox} (V_G - V_T - V_D)] / 2 \times (V_D/L) \\ &= (W/L) \mu C_{ox} [(V_G - V_T) - V_D/2] V_D \end{aligned} \quad (7)$$

と表される。ただし W はチャネルの幅、 L はチャネルの長さである。また $-V_D/L$ はソース-ドレイン間の電界である。

3.3 ピンチオフ現象と飽和領域

(6)式からわかるように、チャネルのドレインに近い部分では $V(z)$ が大きいので反転電荷密度 $Q_n(z)$ が小さい。(7)式を微分してコンダクタンスを求めると

$$g_{DD} = dI_D/dV_D = (W/L) \mu C_{ox} (V_G - V_T - V_D) \quad (8)$$

となり、 $V_G - V_T = V_D$ のとき $g_{DD} = 0$ となる。これは、チャネルのドレイン側に $Q_n=0$ の点が生じていることを意味している。この現象をピンチオフという。ドレイン電圧がさらに大きくなり $V_D > V_G - V_T$ を満たす場合には、 $Q_n=0$ となる点(ピンチオフ点)はソース側に移動し、 $Q_n=0$ となる領域が生じて、もはやチャネル全体にわたって反転層が形成されている条件を満たし

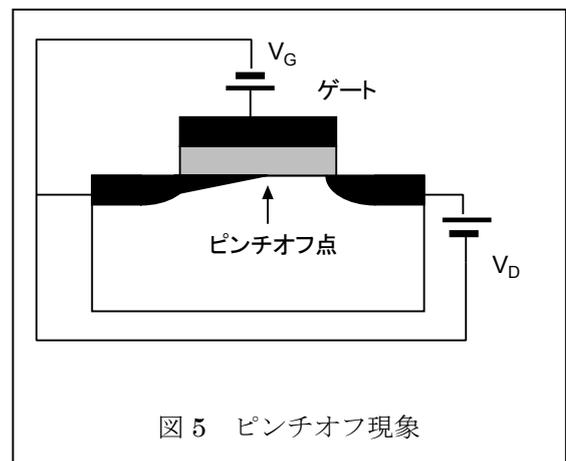


図 5 ピンチオフ現象

ていない。一旦ピンチオフが起これるとドレイン電圧をそれ以上大きくしても、印加された電圧はドレインの空間電荷層がチャネル方向に延びるのに費やされ、電流はそれ以上増加しない。この領域を飽和領域と呼ぶ。飽和領域における電流-電圧特性は、(7)式で $V_G - V_T = V_D$ とおいて

$$I_D = (W/L) \mu C_{ox} (V_G - V_T)^2 / 2 \quad (9)$$

と表される。

MOSトランジスタに流れる電流を表す式(7),(9)をまとめて図示したのが図6である。左図の曲線は、ゲート電圧を固定してドレイン電流とドレイン電圧の関係を示したものである。ドレイン電圧が小さい場合にはドレイン電流はドレイン電圧とともに増加するが、点線で示される境界よりドレイン電圧が大きくなると飽和領域に入り、電流は一定値となる。また、ゲート電圧が大きいほど飽和電流が大きいことも分かる。右の図はドレイン電圧を一定にし、ゲート電圧とドレイン電流の関係を示したものである。ゲート電圧がしきい値を超えると、ドレイン電流が急激に増大する(右図の縦軸は対数目盛であることに注意)。

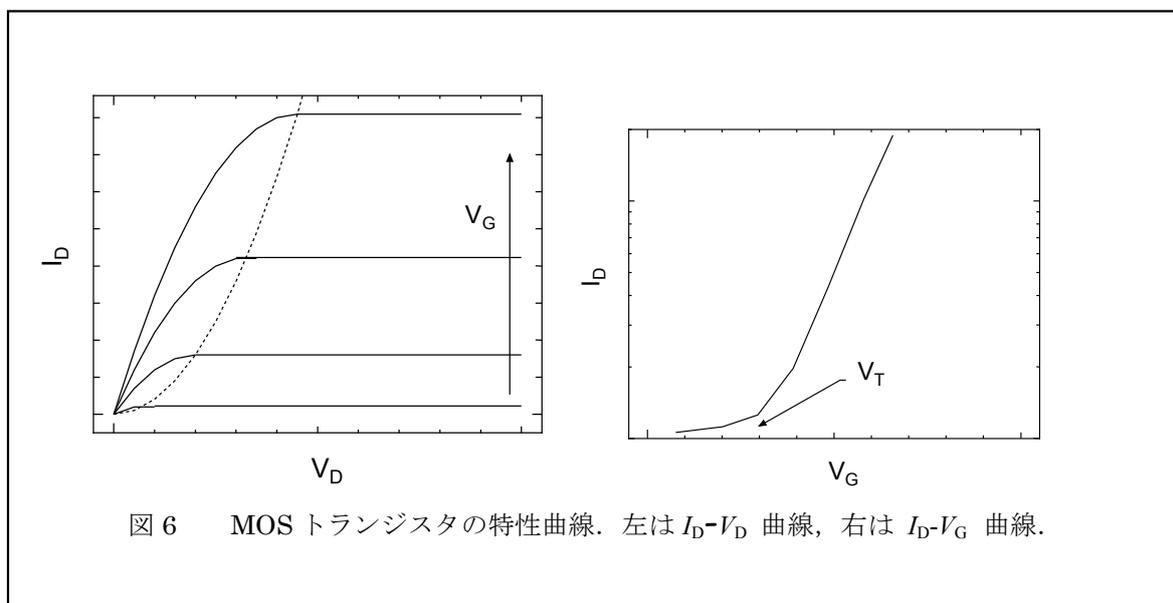


図6 MOSトランジスタの特性曲線。左は I_D - V_D 曲線，右は I_D - V_G 曲線。

3.4 低電流領域での静特性

V_G がしきい値電圧 V_T より小さくても I_D は完全には零にならない. 本節では V_G が V_T 以下にある領域での MOS 電界効果トランジスタの静特性を考える.

長チャネル MOSFET の弱反転領域における電気的特性を議論する場合, ソース, 弱反転基板, ドレインをそれぞれバイポーラ素子のエミッタ, ベース, コレクタに対応させることができる. このような解析方法をとることができるためには, (1) チャネル内のキャリア密度が低く, (2) チャネル全体の表面電位がゲート電圧によって一意的に定まることが前提となる. すなわち, チャネル内の自由電荷による電位変動を無視して解析することができる. このような場合, チャネル内のキャリアは拡散によってドレインに運ばれる.

このときの拡散電流は, バイポーラ素子のベース領域の電流解析と同様に

$$I_D = -AeD_n dn/dz = AqD_n[n(0) - n(L)]/L \quad (10)$$

で与えられる. ここで, D_n は拡散係数, A は電流経路の断面積, $n(0)$ および $n(L)$ はそれぞれチャネルのソース端およびドレイン端における電子密度であり

$$n(0) = n_q \exp(-e\phi_s/k_B T) \quad (11)$$

$$n(L) = n_q \exp[-e(\phi_s - V_D)/k_B T] \quad (12)$$

である. n_q は熱平衡状態での基板中の電子密度である. なお, 電流経路の断面積はチャネルの幅 W と弱反転層厚 d との積で表される. このうち弱反転層の厚さ d は, 近似的に電子密度が $1/e$ に低下するシリコン/酸化膜界面からの距離と考えれば

$$d = k_B T/e (\epsilon/2eN_A\phi_s)^{1/2} \quad (13)$$

となる. したがって, 弱反転層領域でのドレイン電流は以下の式で表される.

$$I_D = (W/L)k_B T D_n n_q (\epsilon/2eN_A\phi_s)^{1/2} \exp(-e\phi_s/k_B T) [1 - \exp(-eV_D/k_B T)] \quad (14)$$

ただし, ゲート電圧 V_G と表面電位 ϕ_s との関係は次式で与えられる.

$$V_G = \phi_s + (2e\epsilon N_A\phi_s/C_{ox})^{1/2} + V_{FB} \quad (15)$$

右辺第1項はシリコン基板内での電圧降下(表面電位)であり, 第2項は空乏層中のア

クセプタイオンによる酸化膜中での電圧降下に相当する。ドレイン電流のゲート電圧依存性を見るときには、式(14) と式(15) とを連立して解けばよい。

解析的には式(15) を弱反転領域内の中間電位 $\phi_s = 1.5\phi_B$ の付近で展開し、 ϕ_s の1 次の項までとると次式が得られる。

$$V_G = V_G^0 + (dV_G^0/d\phi_s)(\phi_s - 1.5\phi_B) \quad (16)$$

ただし、上につけた添字0 は $\phi_s = 1.5\phi_B$ のときの値である。なお、式(16) より

$$dV_G/d\phi_s = 1 + C_D/C_{ox} \quad (17)$$

で表される。 C_D は空乏層容量である。これらの式を使って式(14) を書き換えると

$$I_D = I_D^0 \exp(eV_G/mk_B T) [1 - \exp(-eV_D/k_B T)] \quad (18)$$

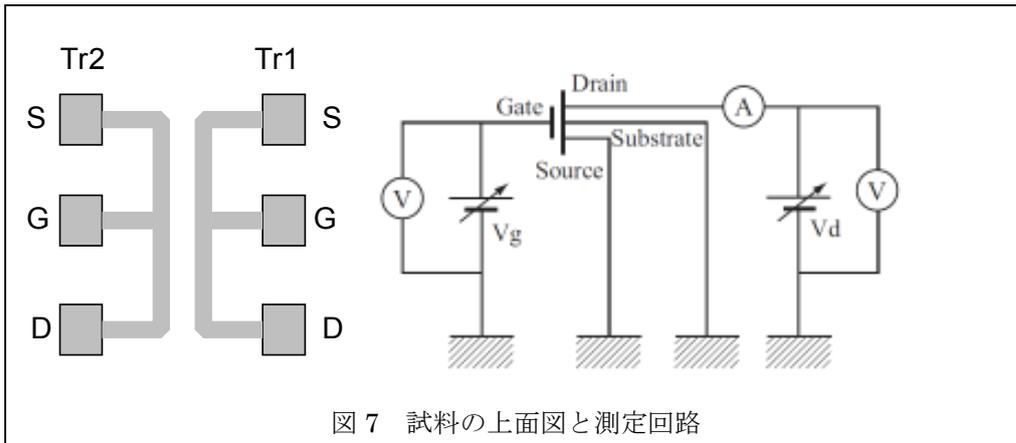
と近似できる。ただし、 $m = (dV_G/d\phi_s)$ である。したがって、上の式から明らかなように、弱反転層領域におけるドレイン電流はゲート電圧を増すと指数関数的に増加するが、ドレイン電圧依存性はほとんどない。すなわち、弱反転領域におけるドレイン電流は、ソース-弱反転層間のポテンシャル障壁を乗り越える電子数で律速される。

4 実験課題

アクセプタ濃度 N_A や酸化膜厚 t_{ox} を算出するためには、MOS 電界効果トランジスタの容量測定が必要であるが、トランジスタのゲート面積が小さく、配線容量等が支配的となるため容量測定が不可能であるので、指導書を参考にしてアクセプタ濃度や酸化膜厚と静電容量との関係をよく理解しておくことが望ましい。

- (1) はじめに顕微鏡でMOS 電界効果トランジスタの形を確認する。
- (2) V_G をパラメータにして I_D-V_D 特性
- (3) V_D をパラメータにして I_D-V_G 特性

以上、MOS 電界効果トランジスタの静特性を測定し、グラフにプロットせよ。 I_D-V_D , I_D-V_G 特性の測定回路を図7 に示す。なおトランジスタはゲート幅 (W) が $20 \mu\text{m}$ でゲート長 (L) は $0.5 \mu\text{m}$ から $20 \mu\text{m}$ のものがあるのでどれを測定したのか注意すること。



5 使用器具

n チャンネルMOS電界効果トランジスタ, 電流計, 電圧計, 直流電圧源, 顕微鏡, プローバー

6 検討事項

- (1) V_D の大きい領域での I_D の V_D に対する変化を式(8) を用いて検討せよ.
- (2) I_D - V_G 特性から V_T を求め, その理論値との比較および V_D 依存性について 考察せよ.
- (3) V_G が小さい領域での I_D の変化を式(18) を用いて考察せよ.
- (4) チャンネル内のキャリア移動度を dI_D/dV_D 特性および dI_D/dV_G 特性より算出し, 垂直電界依存性を検討せよ.

7 参考文献

半導体デバイス工学, 大村泰久編著, オーム社
 絵から学ぶ半導体デバイス工学, 谷口研二, 宇野重康著, 昭晃堂

解析に必要な数値

比誘電率	$\epsilon_{\text{Si}}=12, \epsilon_{\text{ox}}=3.9$
チャンネル幅	$W = 20\mu\text{m}$
チャンネル長	$L = 0.5 \sim 5 \mu\text{m}$
酸化膜厚	$t_{\text{ox}} = 8\text{nm}, 18\text{nm}$
アクセプタ濃度	$N_{\text{A}} = 7.7 \times 10^{16} \text{cm}^{-3}$
	$\phi_{\text{B}} = 0.5\text{eV}$
フラットバンド電圧	$V_{\text{FB}} = -1\text{V}$