

● デジタル・アナログ集積回路アーキテクチャ

将来の超微細CMOSの性能向上を先取りしたデジタル回路の高速化技術とデジタル支援による高性能のアナログ回路の開発を行っている。具体的には、高速デジタル論理回路の実現に向けた可変レイテンシ技術、デジタル支援によるアナログ回路技術、スイッチング制御による $\Delta\Sigma$ 変調器、CMOS給電回路などの開発例を紹介する。

1. デジタル論理回路向け可変レイテンシ技術

デジタル回路の多くは大域的なクロックを用いた同期回路である。クロック同期回路における設計では、回路の高性能化のためにクロック周期の短縮が常に求められている。各フリップフロップにクロックを同時に入力する完全同期方式では、すべての状況に置いて同一回路動作を保障するためにフリップフロップ間の最大遅延がクロック周期の下限となる。一方、大域的クロックを用いないも提案されているが、この方式はクロック同期回路と比較して必ずしも高性能ではない。我々は回路の高性能化のために、様々な状況に応じて回路を適応動作させる自己同期方式を検討した。回路に信号が入力されてから外部回路がその回路の出力を利用可能になるまでの時間を様々な状況に応じて変化させる可変レイテンシ技術の導入による回路の高速化を、加算器を例にして評価した。可変レイテンシ回路として検討したエラー検出回復方式では、クロック同期回路を遅延エラーが発生する可能性がある短いクロック周期で動作させる。この方式では遅延エラーが検出されない限り論理回路は通常処理を行い、遅延エラーが検出されると演算処理を中断しエラー回復処理を行う。このエラー検出回復方式による可変レイテンシ加算器では付加回路を必要とするが、既存回路の高速化が図れる、まず、すべての入力ベクトル対に対する加算器遅延をシノプシス社のVCSシミュレータを用いて求めた。続いて、その分布により各クロック周期での回路の遅延エラー率を見積り、通常処理を1周期、エラー検出回復を2周期で行う条件で、各加算器構成の最小の実効クロック周期を求めた。この結果、可変レイテンシ技術により加算器のスループットが最大17%向上することを確認した。

2. 高性能ADコンバータ回路

① 時間量子化方式(TDC-)ADコンバータ

a) 歪低減法

時間量子化方式ADコンバータ(TDC-ADC)は回路の大半がデジタル回路で構成されるため微細プロセスに適しているが、TDCでの時間量子化動作の基準クロックを生

成する遅延同期回路(DLL: Delay Locked Loop)の遅延ばらつきによりAD変換特性が劣化する。この遅延ばらつきの影響を考慮したDLLの回路設計を行うため、遅延ばらつきにより生じる歪みを解析し、全高調波歪み(THD: Total Harmonic Distortion)として見積もる近似式を導出した。この解析式より、THDの観点では奇数倍のアクセラレーティングが実用に適していることが分かった。また、近似式を用いて、要求されるTHDに対し許容される遅延ばらつきの量を見積もることが可能となった。

b) ディザの導入によるSNDRの向上

アナログ信号をデジタル化する際、必ず量子化雑音が発生する。量子化雑音は入力信号に対し強い相関をもち入力信号の高調波となる。通常のADコンバータでは高調波成分の発生を抑えるため、ディザを用いて入力信号と量子化雑音の相関をなくして白色雑音化する手法が知られているが、入力信号に意図的に重畳する雑音(ディザ)は、信号と雑音の相関を無くす代わりにSN比が劣化する。特に時間量子化方式ADコンバータでは入力信号に対するパルス幅変調において、ディザの折り返し雑音が発生するためSN比の劣化が顕著となる。TDC-ADCに用いるディザは、高周波ほど大きく減衰するローパスフィルタ特性が適している。PWMによる折り返しでは高い周波数成分が低い帯域に折り返してSN比を劣化させるため、高い周波数領域で減衰の大きなディザを加えてSN比の劣化を抑制することができる。ローパスフィルタ特性を持つディザを用いたシミュレーションの結果、既存ディザに対し3dBのSN比の改善を達成できることを確認した。

② 低消費電力逐次比較ADコンバータ

a) 高速逐次比較ADコンバータ

低消費電力で動作する逐次比較型(Successive Approximation Resister: SAR)ADコンバータはコンパレータ、SAR-LOGIC、DAC(Digital to Analog Converter)で構成され、2分木探索アルゴリズムを用いて一回の比較で1ビットずつデジタルコードを決定していく。そのため、比較動作をマルチビット化することで従来SAR-ADCの比較動作回数を低減し、より高速動作に適したSAR-ADC構成を提案した。提案した回路には、高速化と

回路構成の複雑さのトレードオフより2ビットの比較動作を採用した。2ビット比較動作を採用したSAR-ADCの差動構成回路では4端子コンパレータ2つ、SubDAC1つを追加する構成である。従来のSAR-ADCでは、各比較において1つの比較電圧を用いて比較範囲を狭めていくが、提案回路では従来のSAR-ADCにおける奇数回目の比較と偶数回目の比較を同時に行うために、比較電圧が新たに2つ必要となる。この比較電圧はDACとSubDACを利用して生成する。SubDACは低消費電力を実現するためにスイッチドキャパシタ回路で構成し、サンプル時に電荷を充電しそれ以後は電荷を放電して電圧を決定していく電荷分配方式を採用している。このマルチビット比較動作を採用することでおよそ2倍の高速動作を実現できることを示した。

b) R-C逐次比較ADコンバータ

逐次比較型ADコンバータ(ADC)の精度の要であるDACには抵抗とキャパシタを組み合わせて使用されているが、抵抗とキャパシタのDACに割り当てるビット数配分は経験的に決定してきた。我々はビット数配分と積分非直線性(INL)の関係について解析を行い、さらに、各DACに許容されるINLの配分を検討し、抵抗とキャパシタを組み合わせたDACの面積最適化に対する解析を行った結果、上位DACとして1ビットの抵抗DACを用い、残りビットをキャパシタDACで担当する構成が最小面積で実現できることが分かった。

3. フィードフォワード型連続時間 $\Delta\Sigma$ 変調器

Passive-RC積分器を利用したフィードフォワードを用いた2次CT $\Delta\Sigma$ 変調器を設計した。1段目には高利得を持つActive-RC積分器を、2段目にはオペアンプが不要なPassive-RC積分器を用いて2次のノイズシェーピング特性を持つループフィルタを構成した。従来型のActive-RC積分器のみを用いた変調器に比べ、オペアンプとDACを1つ削減でき、小面積・低消費電力化につながる。しかし2段目のPassive-RC積分器は増幅を行わず信号を減衰させる特性であるため、既存手法では1段目のActive-RC積分器の出力振幅が大きくなってオペアンプが動作できる電圧の範囲を超える。提案回路では量子化器を3bitとし、その増幅特性を用いて減衰特性を補正することでこの問題を解決した。また、変調器入力からPassive-RC積分器にフィードフォワード経路を接続し、オペアンプ出力での入力信号成分を低減させている。これによりオペアンプ出力での電圧実効値を低減でき、オペアンプの最後段を小面積化が可能となる。フィードフォワード回路には実効的な抵抗としてスイッチドキャパシタ回路を用いることで、過大な抵抗を微小なキャパシタで実現でき、抵抗を用いた場合と比べ小面積

化できる。この結果、フィードフォワード法にてオペアンプ出力での電圧実効値が16%低減でき、オペアンプの小面積化が可能となることを確認した。

4. CMOS向け無線給電回路

近年、一つの小さなシリコンチップ上にさまざまな機能を持たせた微小解析システムが盛んに研究され、その中で使用するセンサ用回路も微小化、多機能化が進められている。しかし水中等の配線が困難な環境での駆動では、特に電力供給が問題となる。我々は、水中で駆動する小型センサ用シリコンチップに無線給電するための、オンチップ・インダクタを用いたトランス回路と、シリコンチップ上で直流電圧を生成する整流回路について検討し、シミュレーションを用いて動作を確認した。無線交流電圧から、受電側で回路を駆動する直流電源を得るには整流回路が必要となる。集積回路で使われる電界効果トランジスタの整流回路で必要とされるゲート閾値電圧を低減できる閾値電圧キャンセル型整流回路を用いた。この回路では、入力電圧の変動により、トランジスタのソース、ドレインが入れ替わることで基板バイアス効果により閾値電圧が変動する結果、結合キャパシタと蓄積キャパシタを充電することができ、直流電圧を出力することができる。本研究では、水中駆動するセンサ搭載シリコンチップへの無線電力供給を目指し、無線給電回路を設計し、シミュレーションを行った。その結果、水中で駆動する小型センサ用無線給電回路の動作を確認した。

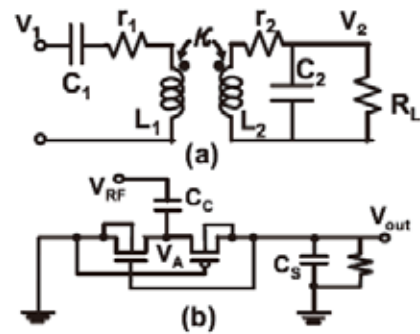


図1 CMOS高周波無線給電回路
(a)高周波電力伝送回路の模式図
(b)MOSの基板バイアス効果を利用した高效率整流回路

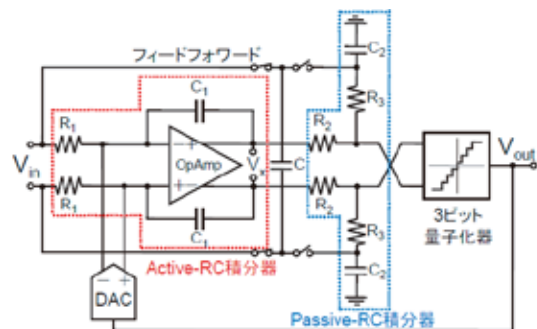


図2 フィールドフォワード方式の連続時間 $\Delta\Sigma$ 変調回路