

立体視センサ、有線・無線インターフェースと 極低消費電力アナログ回路

谷口 研二

大阪大学大学院工学研究科
電気電子情報工学専攻

あらまし： 光と超音波を用いた新しい三次元立体視センサの開発。将来の超微細CMOSの性能向上を目指したデジタル支援のアナログ回路の開発を行っている。具体的には、高速スイッチング制御による高電力効率 $\Delta\Sigma$ 変調器、1V以下で動作する弱反転領域動作MOSFETによるオペアンプ、低電源電圧低雑音アンプなどの開発例を紹介する。

(1) 光・超音波を用いた三次元立体視センサの開発

(a) 本研究で開発した光学3次元センサは、3種類のブロック(パルス光発生LED、CCDセンサ、情報処理・制御部)から構成されている。発光部にある32個の赤外線LEDは、駆動部からの送信信号パルスに応じて発光を繰り返す。画像を取得するCCDセンサ部は立体視センサに特化した特徴的な画素構造となっている。CCDの画素はフォトセンサ部と2つの電荷蓄積部で光信号の位相を検出する。

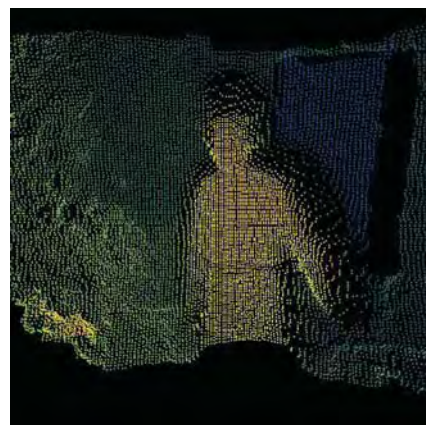


図1.三次元立体視センサの取得像

位相検出部では被測定物からの反射光と出射光の位相差を検出する。つまり、フォトセンサで発生した電荷を出射光とタイミングを合わせた 0° の位相と、 180° の位相で2つの電荷蓄積部に振り分け、その電荷蓄積量の比から送受光の位相差を計算して画素毎に被計測物までの距離を見積もる。光速は30万km/secと極めて速く、1psecの間に往復30cmの距離を進むため、2つの電荷蓄積部に貯まる電荷量の差は小さい。このため、実際のセンサでは何度も繰り返し電荷蓄積を繰り返した上でSN比を向上させている。

情報処理部では、CCD画素の電荷蓄積部から送られてくる電荷量の情報から距離計測の演算処理を行っている。このように個々の画素にはレーザ機能は備わっている。電子デバイスのオリンピックと言われている2007年度IEDMに報告した内容は、上記の立体視センサの性能をさらに向上させたものである。上記のCCDによる立体視センサを直射日光の下で動作させると、太陽光の輝度がLED出射光輝度より圧倒的に強いいため、電荷蓄積部には信号光による電荷量がほとんどない状態になる。これを回避するため、太陽光によって誘起された電荷を意図的に廃棄する手法を取り入れてSN比の向上を図っている。

(b) 超音波を用いた立体視センサの開発も並行して行っている。これは3つの回路ブロック(超音波送信部、超音波受信部、情報処理・制御部)で構成されている。送信部では、電気信号を機械的な運動に変換する誘電体PZTを使用して約40kHzの(超音波)周波数で空気中の粗密波を作り、それを空気中に放出する。本研究で使用した超音波は、携帯電話などの通信システムで使用しているCDMA符号を40kHzの超音波に重畳している。CDMA符号を付加すると、長時間にわたって受信信号を積分することができ、大きな外音がある環境下でもSN比の高い距離計測ができる特徴がある。

受信部では、反射してきた超音波の到来方向毎に時間遅れを計算し、それをもとに立体像を取り出す。超音波の到来方向の検知には光のようなレンズは使用できない。この理由は、空気とレンズ材質間のインピーダンス不整合が極めて大きく、材質表面で超音波はほぼ全反射し、材質中を透過しないからである。本研究では、レンズに代わる超音波到来方向検出の方法として、マイクロフォンアレイを使用した。補聴器のメーカー・ノウルズ社のドラム型のコンデンサマイ

クを16行×10列に配置し、マイク毎に超音波の到来時間と強度を計測する。40kHz近傍に最大感度があるコンデンサマイクはドラム状のキャパシタと計測アンプからなっている。アンプの信号はバンドパスフィルタを通して低周波ノイズを除去した後、ADコンバータで8ビットのデータに変換する。変換データをFPGAのメモリに転送して方向処理と距離計算を行う。

到来方向の検出はアレイアンテナと同様、ビームフォーミング技術を使っている。すなわち、各マイクからの信号データをあらかじめ決められた方向毎に既定の遅延時間を加えた上でデータを加算する。その後、超音波の到来方向毎に距離計算をするが、具体的には携帯電話の通信方式と同様、受信信号に40kHzの余弦波と正弦波を掛け合わせI成分とQ成分に分離し、それらの比から方向毎に距離を計算する。この計算には膨大な演算処理が必要となるが、処理時間の削減アルゴリズムを採用してほぼリアルタイムの立体画像取得が可能となった。

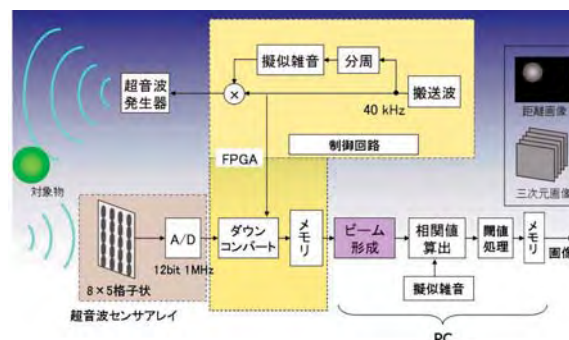


図2. 超音波立体視センサのブロックダイアグラム

(2) 低電源電圧用CMOSアナログ電子回路

集積回路の素子や配線を微細化すると、配線や素子の寄生容量・浮遊容量が小さくなり、回路動作が速くなるとともに充放電に要する電力の消費を抑えることができる。さらに、回路内での電力消費は電源電圧の二乗に比例して低減するので、電源電圧の低下は劇的に集積回路の消費電力を抑えることにつながる。最近のCMOS集積回路では電源電圧が1V程度にまで下がっている。このような集積回路では、パターンの微細化と電源電圧の低下の相乗効果によってデジタル回路部の消費電力は大幅に低下しているが、アナログ回路性能の劣化は避けられない。これは、アナログ回路の性能に大きな影響を及ぼす素子マッチングの悪化や電圧ヘッドルームが

低下することによる。低電源電圧によりアナログ信号の振幅に制限が加わると、十分なSN比を確保することが難しくなるため、今後は、微細化により性能が向上するデジタル回路のメリットを積極的に組み込んだデジタル支援アナログ回路が主流となる。微細MOSFETの高速スイッチング機能を生かし、アナログ信号を離散的にサンプリングしてその信号を時間軸方向に展開して被処理アナログ信号帯域より十分に速いビットデータを吐き出す $\Delta\Sigma$ 変調器やTime-to-digital変換など、離散時間信号処理がアナログ回路の本流となる。このようなアナログ回路の流れに鑑み、本研究では、高精度Time-to-digital変換と高次 $\Delta\Sigma$ 変調器のフィードバック係数決定法を検討した。特にデジタル支援アナログ回路では微細MOSFETのスイッチング機能を多用している。

(a) Time-to-digital変換を活用した 高精度アナログ-デジタル変換器

Time-to-digital変換では電圧軸の信号を1ビットデジタル信号のパルス幅、つまり時間軸の信号に変換し、時間軸でそのパルス幅を観測する。したがって電圧軸に信号を持つアナログ信号を基準三角波との比較処理によってパルス幅に変換し、その後Time-to-digital変換を行うことにより、アナログ-デジタル変換器が実現できる(図)。この原理に基づきTime-to-digital変換を活用した高精度アナログ-デジタル変換器の検討を行った。高精度アナログ-デジタル変換器を目指す場合Time-to-digital変換回路内で用いられるDFF回路の数を増やせば精度を上げられるがこれはコスト増につながるため、本研究では既存のオーバーサンプリング技術と本研究の成果として提案するDFFアクセラレーション技術を組み合わせることで、DFFの個数の増加なしに高精度化を達成した。DFFアクセラレーション技術ではDFFの個数を増やすかわりに、DFFを駆動するクロック周波数を高め少ない数のDFFを1周期に何度も利用することで、DFFの個数を増加すると同等の高

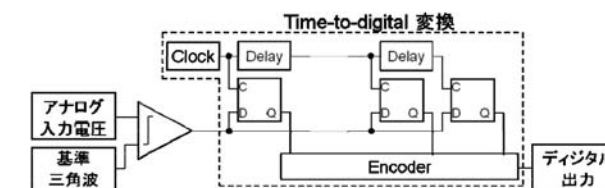


図3 Time-to-digital変換を活用した
アナログデジタル変換器の回路図

精度化を可能としている。従ってこの成果は高速スイッチングに特徴を持つ微細MOSFETとの親和性が高く、今後より重要となると考えられる。

(b) 連続時間 $\Delta\Sigma$ 変調器のアナログ増幅器回路削減

低電源電圧でも動作速度および精度を維持しやすい連続時間型 $\Delta\Sigma$ 変調器において、さらなる微細MOSFETへの対応を考えた場合に問題となるのが、内部回路にて利用される増幅器回路である。通常の連続時間型 $\Delta\Sigma$ 変調器では、N次の変調器を構成するとN個の、つまり次数と同じ個数の増幅器回路が必要となる。従って、変調器の次数が高いほど精度も高くなるが、それに伴い増幅器回路も増加してしまう。本研究では、受動素子による周波数特性と量子化器による増幅特性を組み合わせることで、増幅器回路を削減する構成を提案した。

既存の2次-連続時間型 $\Delta\Sigma$ 変調器では2つの増幅器回路が必要であったが、提案する構成(図4)では2つめの増幅器回路を削減し受動素子により作り出す周波数特性をその代用とした。しかし受動素子で周波数特性を作ることはできるが増幅は不可能である。提案構成では1.5ビット量子化器が寄生的にも増幅率を積極的に活用することで増幅器回路での増幅処理の代用とし、2次-連続時間型 $\Delta\Sigma$ 変調器を1つの増幅器回路で実現する成果を得た。この技術では高精度アナログ回路である増幅器回路の削減により微細MOSFETとの親和性を高めているため、より微細なMOSFETによる高精度 $\Delta\Sigma$ 変調器実現において重要となると考えられる。

(3) 次世代無線通信用RF・アナログCMOS集積回路

(a) 近年、IEEE802.11a/b/gやW-CDMAに代表される無線通信機器の普及と半導体プロセスの微細化に伴い多種多様な通信方式が利用されている。それに伴い送受信回路の研究も盛んに行われているが、様々な通信方式を集積回路で実現する方

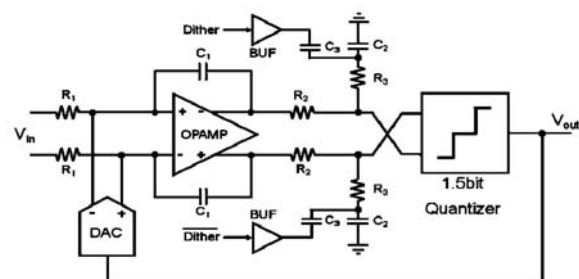


図4. 増幅器1つで実現した2次-連続時間型 $\Delta\Sigma$ 変調器

法としては、一般的には回路の特性を最大限に引き出せるようにそれぞれの周波数帯域に合った回路を適応する。しかし、周波数帯域の異なるアプリケーションをワンチップで実現することはコスト的にも有用である。近年、このようなマルチモード対応送受信機の開発が盛んに行われているが、ソフトウェア無線技術はこのような多種の通信方式を1つの機器で対応させる画期的な技術である。このようなソフトウェア無線技術のための要素回路の1つとして、帯域可変フィルタがある。

我々は(株)シンセシス、NEC 東芝スペースシステム(株)との共同研究において、Gm-C フィルタの帯域可変の方法に関して検討した。Gm-C フィルタは容量CとOTA(Operational Transconductor Amplifier)の相互コンダクタンスGmを利用して実現され、そのカットオフ周波数はGm/Cで決定される。帯域可変を実現するには、Cを固定しGmを可変にする方法とGmを固定しCを可変にする方法の2通りある。面積効率を考慮し、ここではOTAの電流量を可変にし、Gmを可変にする方式を採用した。トランスリニアループ回路で構成されたGm制御回路により、ダブルMOSTランジスタ構成のOTAの2カ所の電流量を制御することで、フィルタのカットオフ周波数を制御した。この帯域可変Gm-C フィルタを0.25 μ m CMOS プロセスを用いて試作・評価した結果、可変帯域幅が550kHzから34MHzとなり、一桁以上の可変幅を達成した(図5)。

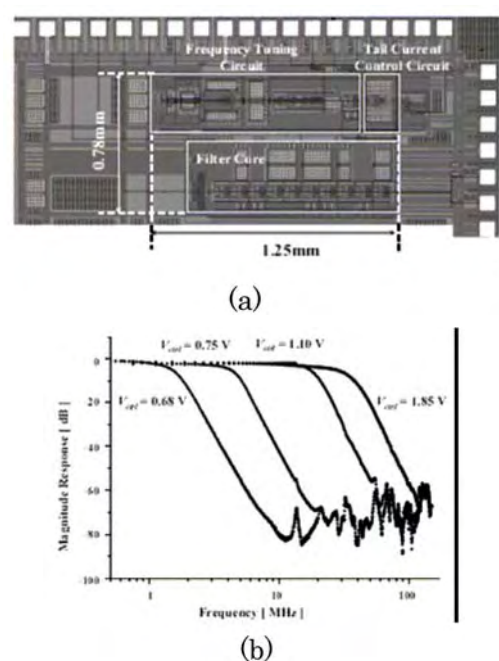


図5. Gm-Cフィルタ試作チップの(a)写真と(b)フィルタ特性

(b) 地上波デジタル放送の普及や携帯電話端末へのTV機能の搭載に伴い、TVチューナのIC化が進んでいる。従来のTVシステム用VCO(Voltage-Controlled Oscillator)には、例えば缶チューナ・モジュール内で使用されているLCタンクにバラクタを並列に組み合わせた発振器を用い、30V以上の高電圧を制御電圧として使用している。この構成で、IC上にて実現するには高電圧を必要とし、かつディスプレイであるバラクタ・ダイオードの性能をIC上の素子に求めることは困難である。

(株)RfStreamと我々はIC上で実現するのに適したTV受信VCO回路システムを提案した。提案システムでは、最大2.048GHzで発振するLC発振器に、4つの分周器を縦続接続した構成をとり、実効的に周波数レンジを16倍にしている(図6(a))。LCタンク部分でのキャパシタは、キャパシタ・アレイの構成をとりロジック制御信号により任意の値を選択している。分周器と主要な部分であるキャパシタ・バンクの切り替えに使用するMOSデバイスのスイッチの寄生容量の低減できる回路の開発により、0.25 μ m CMOS プロセスを用いてVHFとUHF帯の両バンドの周波数範囲の出力を実現した(図6(b))。さらに、同一チップ上に配置したPLLの分周器をカウンタとして利用し、そこで測定される周波数のデジタル符号と、設定されたVCOの発振周波数に相当するデジタル符号とを比較し、近傍の値となるまでキャパシタ・バンクへのロジック制御信号を変化させる周波数オートチューニング機能も開発した。

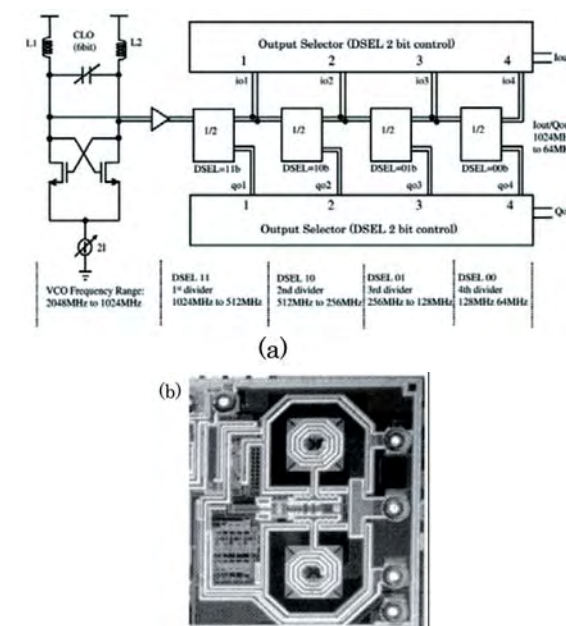


図6. TVチューナ用VCOの(a)回路と(b)試作チップ写真

(c) UWB(Ultra-Wideband)は、近距離での高速無線通信を実現する技術として近年注目されており、それに対応した無線機器の市場は大きい。UWB受信機の低雑音増幅器(LNA:Low-Noise Amplifier)には、広帯域にわたる入力インピーダンス整合、低雑音さらに高い電圧利得といった特性が求められている。本研究では、UWBをはじめとする広帯域無線受信機用のトランス雑音除去CMOS LNAを開発した。

従来の広帯域CMOS LNAは、小面積(0.4 mm²以下)で低電圧(1.0 V以下)および低消費電力(10 mW以下)動作が困難である。低電圧動作に適したゲート接地LNAにトランスを取り入れ、さらに出力端子にインダクタを直列接続させた新たな広帯域CMOS LNAを考案した(図7(a))。トランスにより、消費電力を増加させることなく、広帯域にわたりLNAの雑音特性を向上させた。そのトランスを2つのインダクタを上下に重ね合わせた構造とすることにより、小面積(インダクタ1つ分)で実現した。LNAの入力および出力帯域幅は出力インダクタにより広げている。90nmデジタルCMOSプロセスで作製したLNAは占有面積が0.12 mm²で(図7(b))、さらに1.0 Vの電源電圧、2.5 mWの消費電力のとき、UWBの周波数帯域(3.1-10.5 GHz)においてS11 < -10 dB、S21 > 9.3 dB、NF < 4.4 dB、IIP3 > -9.3 dBmを得ている。

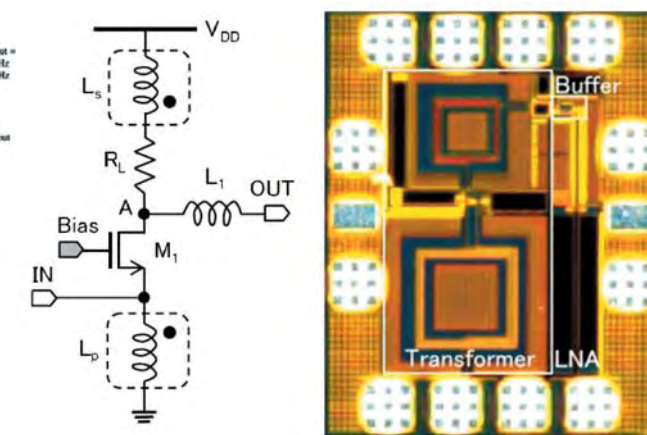


図7. UWB用広帯域LNAの(a)回路と(b)試作チップ写真