

次世代MOS型トランジスタの量子輸送シミュレーション

森 伸也

大阪大学大学院工学研究科
電気電子情報工学専攻

概要： 次世代のMOS型トランジスタとして、現在、種々の素子構造・材料が提案され、試作されている。膨大な選択肢の中から最も適した素子構造を見つけ出し、それを利用した集積システムを効率的に探索するためのシミュレーション環境の構築を目指し、非平衡グリーン関数法に基づくデバイスシミュレータを作成した。

はじめに

極限まで素子の微細化が追求され、シリコンMOS型トランジスタのチャンネル長は既に50 nmを切り、研究レベルでは10 nm以下の素子動作も報告されている。この長さは、室温におけるフォノン散乱の平均自由行程と同程度かそれ以下である。このような微細素子の動作理解やモデル化では、従来我々が使い慣れてきた体系の修正ではなく、大胆な転換が必要となる。一方、素子が極度に微細化された結果、近年、単純な比例縮小則のみによる性能向上の限界も顕在化しつつある。現在、この状況の打破を目指して様々な素子構造・材料が提案され、試作されている。

このような背景のなか、シミュレーションによって優れた素子構造・材料の探索や集積システムの設計を支援すると同時に、MOS型素子の究極の限界がどこにあるかを明確にすることがデバイスモデリングに強く求められている。我々は、原子論からの統合シミュレーション環境の実現を目指し、非平衡グリーン関数(NEGF)法に基づくデバイスシミュレータの開発を行っている。以下では、開発しているシミュレータの概要とこれまでに得られた結果について紹介する。

量子輸送シミュレーション

ゲート長が10 nm程度の微細なMOS型素子では量子力学的な効果がデバイス特性に強く影響を及ぼす。そのため、量子効果をシミュレータに取り込むことが必須である。極微細MOS型素子の電気的特性に影響を及ぼす量子効果を図1に示す。

シリコンMOS型素子のチャンネル層を古典的に考えると、キャリアは半導体と絶縁体の界面にシート状に分布する。しかし、実際は、サブバンド量子化

により界面から数ナノメートル離れた位置にキャリア分布の中心がずれる(図1(b))。この現象は従来の大きな素子でも生じるが、微細素子では界面に垂直な方向(z方向)のデバイス寸法が小さいため、素子特性に与える影響が顕著となる。極めて薄いチャンネル層を持つ素子では、サブバンド量子化によるエネルギー準位の上昇も素子特性を大きく変化させる。さらに、z方向の寸法が小さくなることによりゲート絶縁膜をキャリアがトンネルリークする確率も増大する(図1(b))。

MOS型素子では、ゲート直下のチャンネル領域のポテンシャルをゲート電位で上下させ、ソース・ドレイン方向(x方向)の電流を制御する。x方向の寸法が短くなると、ゲート直下のポテンシャル障壁が薄くなり、ソースからドレインへ直接トンネル(SD間直接トンネル)する電流成分が現れる(図1(c))。この電流成分のため素子はオフになりにくくなり、素子特性が悪化する。

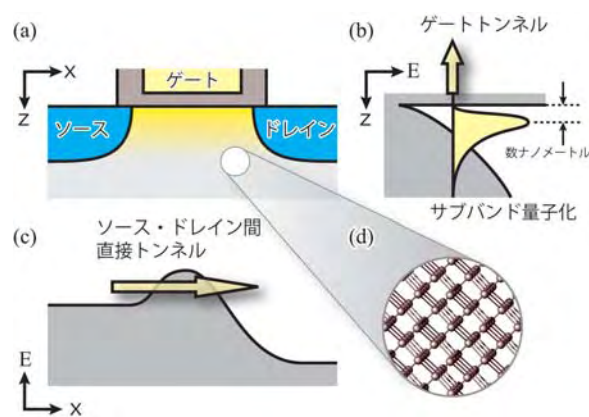


図1 極微細MOS型における量子効果。x軸をソース・ドレイン方向、z軸をゲート界面に垂直な方向とした。Eは電子に対するエネルギーを表す。(a)素子構造、(b)z方向の閉じ込めポテンシャル、(c)x方向のポテンシャル分布。原子論的な効果を(d)に模式的に示した。

ナノメートルスケールになると、素子が原子から構成されているという原子論的な効果も考慮に入れる必要が生じる(図1(d))。さらに、室温・高バイアス条件で動作させるため、エネルギー散逸[1]、散乱過程やフルバンド構造も依然重要な役割を演じ、それらの効果を取り込むことも必要である。不純物が電子状態に与える影響[2]や構造揺らぎ、界面ラフネスが素子特性に与える影響も量子力学的に取り扱わなければならない。

シミュレーション結果

我々のシミュレータには、バンドモデルとして有効質量近似もしくは強結合近似、シミュレーション対象として2次元(ゲート幅方向に一樣な素子)もしくは3次元(立体構造素子)に対するバージョンがある。有効質量近似では、原子論的な効果は扱えないが、計算量が少ないため、散乱効果や大きな素子サイズなどを容易に扱える。強結合近似を用いると、フルバンドを導入でき、歪みや面方位、新材料などを第一原理的に取り扱える。しかし、計算量が多いため、素子サイズなどに制限が生じる。以下では、各バージョンの典型的なシミュレーション結果を紹介する。

<フォノン散乱効果>

2次元有効質量近似シミュレータを用いて得られた、ゲート長 $L_g = 10$ nmのシリコン DG (double-gate) 型素子の電子輸送に関する結果を図2に示す。図1(a)の単一ゲート素子と異なり、DG型素子ではシリコン薄膜を上下2つのゲートではさむため、ゲートの支配力が増し、短いゲート長でも良好な素子特性が得られる。フォノン散乱により、オン状態において、電流が15%程度減少することが分かった。このように、 $L_g = 10$ nmと短いゲート長であっても、フォノン散乱が電流電圧特性に大きな影響を及ぼす。しかし、オフ状態では、わずか1%しか変化しない。これは、オフ状態ではSD間直接トンネル電流成分が支配的であり、フォノン支援トンネル過程により直接トンネルが増強され、散乱による減少分を補うためである。

<界面ラフネスの影響>

上下だけでなく周りをゲートで囲む(GAA, gate-all-around)ことによりさらにゲートの制御性が増す。DG型素子とGAA型素子の特性を3次元有効質量

近似を用いて計算した結果を図3に示す。どちらの素子もゲート長 $L_g = 7$ nmとし、実効的なゲート幅が等しくなるよう、シリコン断面を3 nm×6 nm (DG)、3 nm×3 nm (GAA)とした。○が計算結果を表わし、確かにGAA型素子の方が良好なサブ閾値特性を示すことが分かる($S_{DG} = 87$ mV/dec, $S_{GAA} = 71$ mV/dec)。しかし、DG型素子ではゲート界面に垂直な上下方向にのみ閉じ込められるのに対し、GAA型素子では上下、左右の2方向に閉じ込められるため界面ラフネスの影響を受けやすい。乱数を用いてシリコン/絶縁体界面にラフネスを生成し、素子特性を計算した。図3の実線に20種類のラフネスパターンに対する結果を示す。GAA型素子の方がばらつき($2\sigma_{V_{th}}$)が約2倍大きい。このように、GAA型素子の方がゲートの制御性は高いが、ラフネスに対する耐性は劣ることが分かる。

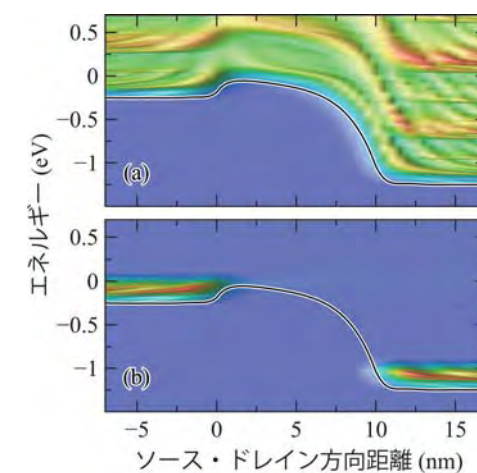


図2 ゲート長10 nm、シリコン膜厚3 nmのDG型素子における(a)局所状態密度、(b)電子密度スペクトル。V_g = 0.5 V、V_d = 1 Vの場合。実践は基底サブバンド準位。

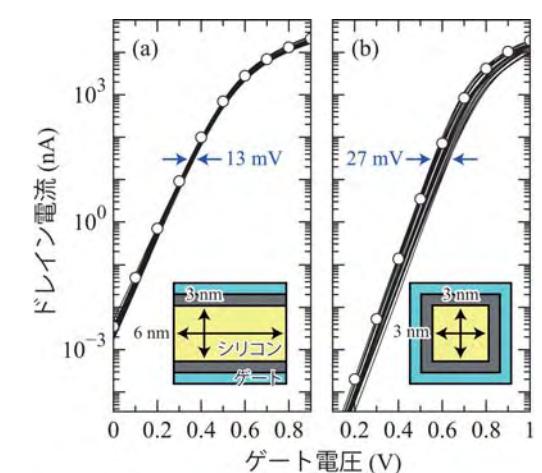


図3 ゲート長7 nmの(a)DG型素子、(b)GAA型素子におけるドレイン電流のゲート電圧依存性。○はラフネスが無い場合、実線はある場合の結果。

<離散不純物の影響>

MOSFETの微細化に伴い、チャネルドーパント分布のゆらぎが素子特性バラツキに与える影響が集積回路の動作を保証する上で大きな問題となってきた。極薄ボディを有する多重ゲート型素子は、チャネルを無ドーパに設定することができ、バラツキへの耐性といった意味でも良好な性能が期待される。しかし、それでも意図せぬ点電荷が導入される可能性は否めない。そこで、チャネルが無ドーパのGAA型素子に存在する単一の引力型イオン化不純物が素子特性に与える影響について調べた。

ゲート長 $L_g = 10$ nmのGAA型素子におけるドレイン電流-ゲート電圧特性を図4に示す。チャネルに存在する不純物準位に電荷を供給する源が、ソース電極からドレイン電極かに応じて、双安定性を示すことを新たに見いだした[3]。双安定性が現れるバイアス領域は不純物の位置によるため、電流電圧特性から不純物位置を同定できる可能性がある。

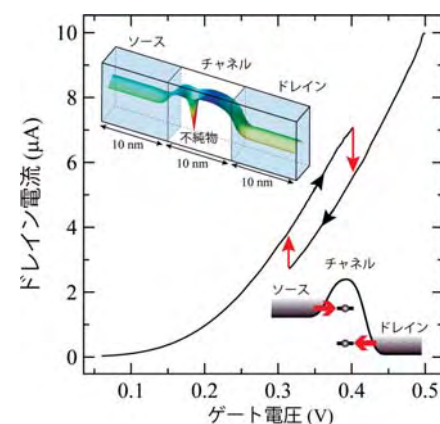


図4 ゲート長10 nm、断面3 nm×3 nmのGAA型素子のドレイン電流-ゲート電圧依存性。チャネルに存在する離散不純物の影響により双安定性を示す。

<ナノワイヤ>

強結合近似を用いることにより、異なる材料や面方位、歪みを容易に取り扱える。また局所的に材料や歪みの程度が異なる素子やバンド間トンネルなども扱える。以下では、3次元強結合近似に基づく計算結果として、ナノワイヤ素子のホール輸送について紹介する。

Geはホール移動度が高く、pチャネル素子への応用が期待されている。しかし、ナノワイヤでは閉じ込めが強く、バンド構造が大きく変調されるため、高精度で性能評価を行うためにはこのバンド構造変調効果を取り入れることが必須である。強結合近

似法によりフルバンド構造を導入して計算した、p型Siナノワイヤとp型Geナノワイヤの電流電圧特性を図5に示す。直径3.1 nmのナノワイヤでは、Geにおける有効質量の軽さを反映して、Ge素子がSi素子の約1.6倍の電流を流す。しかし、図に示した直径1.6 nmの素子では、バンド変調効果が顕著となり、電流の比は約1.2倍と小さくなり、Ge素子の優位性が薄れることが分かる。

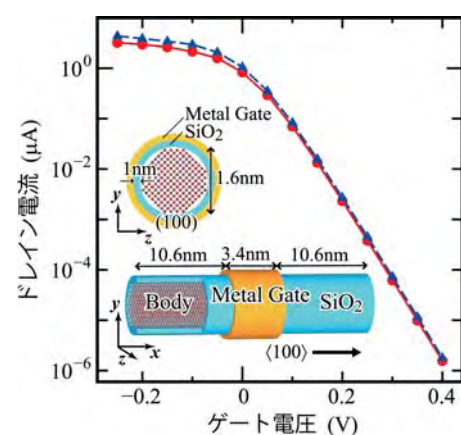


図5 ゲート長3.4 nm、直径1.6 nmのシリコンナノワイヤ(●)とゲルマニウムナノワイヤ(▲)の電流電圧特性。原子論に基づき計算した。

まとめ

NEGF量子輸送シミュレータについて紹介した。本手法により原子論に基づく量子輸送デバイスシミュレータが実現可能である。しかし、現在のところ膨大な計算量のため、扱える素子サイズや取り込むことができる物理モデルに制限が生じている。この計算量の問題は、計算手法の改良と、さらなる計算環境の発展により、近い将来に解決されると思われる。一方、MOS型素子は集積化されてはじめてその機能を発現するため、チャネル近傍を越えた大規模なスケールまでをシミュレーションしなければ性能評価ができない。しかし、そのようなレベルまでここで紹介した手法で対応することは現実的ではない。そこで、各階層を自然に扱える手法が互いにシームレスに接続した、いわゆるマルチスケールシミュレーションへの統合という方向への展開を今後試みる。

参考文献

- [1] A. Patanè, N. Mori, D. Fowler, L. Eaves, M. Henini, D.K. Maude, C. Hamaguchi, and R. Airey, *Physical Review Letters*, **93**, 146801 (2004).
- [2] G. Allison, N. Mori, A. Patanè, J. Endicott, L. Eaves, D. K. Maude, and M. Hopkinson, *Physical Review Letters*, **96**, 236802 (2006).
- [3] G. Mil'nikov, N. Mori, Y. Kamakura, and T. Ezaki, *Physical Review Letters*, **102**, 36801 (2009).