

2.5.1 次世代電子デバイスシミュレーション技術の開発

森伸也

電気電子情報工学専攻・准教授
部門長

2.5.1.1 はじめに

半導体デバイス技術の発展はめざましく、2015年にゲート長は10 nmになるといわれている。その頃には比例縮小則によるMOSFETの高性能化が極めて困難になると予想されている。このスケーリング限界を打破するために、現在のシリコンMOS型デバイスに代る新構造・新材料デバイスが数多く提案されている。そのような膨大な選択肢の中からデバイスとして最も適した構造や材料を見つけ出すためには、実験と並行して理論的予測に基づくシミュレーションが必須である。本研究の目的は、次世代新構造・新材料デバイスの電気的特性を計算可能な量子輸送シミュレータを開発し、デバイスの性能予測をおこなうことである。

我々は、上記の目的を達成するため、極微細MOS型デバイスに対する量子輸送デバイスシミュレータSQUATS (STARC † Quantum Transport Simulator) を開発している。SQUATSでは、輸送モデルとして非平衡グリーン関数法を用いており、扱うデバイス構造や対象とするデバイス特性などに応じて下記のバージョンを開発している。(†Semiconductor Technology Academic Research Center)

名称	次元	バンドモデル	散乱過程	特徴
SQUATS-T3D	3次元	強結合近似	バリスティック	面方位, 歪, 新材料
SQUATS-E3D	3次元	有効質量近似	フォノン, 界面ラフネス	大きなデバイス
SQUATS-T2D	2次元	強結合近似	バリスティック	面方位, 歪, 新材料
SQUATS-E2D	2次元	有効質量近似	フォノン	大きなデバイス
SQUATS-T1D	1次元	強結合近似	バリスティック	バンド間トンネル, 歪

本年度のおもな研究成果は以下の通りである。

2.5.1.2 ダブルゲート型MOSFETにおけるフォノン散乱の影響

単純なスケーリングのみでは、デバイス性能の大幅な向上が望めなくなっており、移動度向上などの技術を併用することが重要となってきた。一方で、短チャネル効果を抑制するため、ダブルゲート (DG) 型MOSFETやFin型デバイスなどの新しいデバイス構造の導入も検討されている。しかし、DG MOSFETやSOI MOSFETのような閉じ込め構造では、電子状態がサブバンド量子化されるため、散乱確率や輸送特性がバルクの場合と大きく異なる。そのため、これまでの移動度向上技術の有効性は自明でなく、シミュレーションによる検討をおこなう必要がある。さらに、バルク型MOSFETの反転層厚より薄いSOI MOSFETにおける移動度向上や、電子の波動関数変調による不純物散乱制御など、新しい技術の導入による移動度向上の可能性もデバイスの微細化が進み現実的となっており、シミュレーションによる最適化が急務となっている。

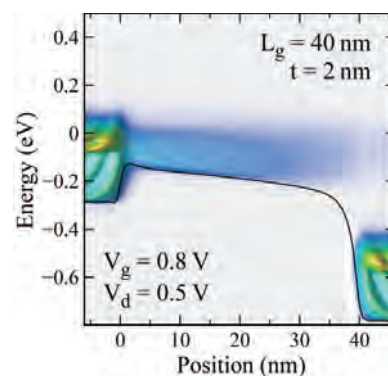


図 2.5.1.1 ゲート長 40 nm のダブルゲート型 MOSFET における電子密度スペクトル。

本年度、新たにMPI (Message-Passing Interface) を用いてシミュレータの高速化をはかった。その結果、ゲート長が40nmという従来シミュレーションが不可能であった大きさのデバイスにおいて、フォノン散乱を含めたシミュレーションがおこなえるようになった。図2.5.1.1に電子密度スペクトルの例を示す。エネルギーを散逸しながらソースからドレインへと電子が流れる様子がわかる。

2.5.1.3 強結合近似法を用いた原子論的量子輸送シミュレーション

シリコンMOSFETのチャネル長は10nmの領域に向けて急速に縮小され続けている。このような極微細デバイス中では、直接トンネルやサブバンド量子化などの量子力学的効果の他に、原子論的な効果も顕在化し、デバイスの電気的特性に強く影響を及ぼすと考えられる。非平衡グリーン関数法と強結合近似法を組み合わせるにより原子レベルの解像度で量子輸送シミュレーションを実現できる。

強結合近似法と非平衡グリーン関数法を組み合わせた場合、計算コストが高くなるため、効率的な計算手法を開発することが望まれる。本年度新たに格子面スキップ法を開発し、最大2倍の高速化を達成した。作成したシミュレータを用いて化合物半導体ダブルゲート型デバイス (図2.5.1.2) や、シリコンp型デバイスにおける面方位依存性などについて調べた。その結果、ゲート長が短いInSbデバイスでは、ソース・ドレイン間直接トンネル電流が支配的となることや、極めて薄いp型SOI DG MOSFETの場合、(110)面上の〈110〉チャネルデバイスにおいて大きなホール電流が得られることなどがわかった。

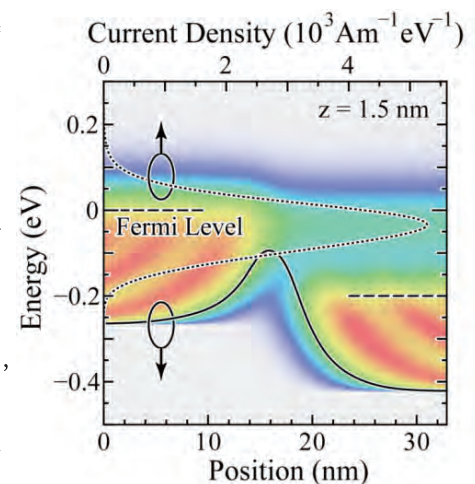


図2.5.1.2 ゲート長4 nmのInSbダブルゲート型MOSFETにおける電子密度スペクトル。

2.5.1.3 3次元デバイスシミュレータにおけるシームレスなデバイス構造入力

短チャネル効果を抑制するため、Fin型デバイスやGAA (Gate-All-Around) 型デバイスなどの立体構造のデバイスが注目されている。複雑な立体構造のデバイスをシミュレートする場合、デバイス構造などをシームレスに外部から入力できることが望ましい。3次元TCADシミュレータとして、日本ではSelete (半導体先端テクノロジーズ) で開発されたENEXSSが定着している。本研究では、ENEXSSを用いてデバイス構造を規定できるよう開発を進めている (2次元のSQUATS-E2Dではすでに一部可能となっている)。本年度は、デバイス構造などを実行時にすべて外部から読み込むようにシミュレータを改造した。

図2.5.1.3, 図2.5.1.4にGAA MOSFETのデバイス構造と電子密度分布を示す。シミュレーションの結果、DG MOSFETと比べてGAA MOSFETの方が良好なデバイス特性を示すことなどがわかった。

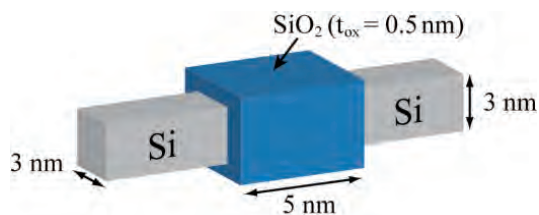


図2.5.1.3 GAA MOSFET デバイス。

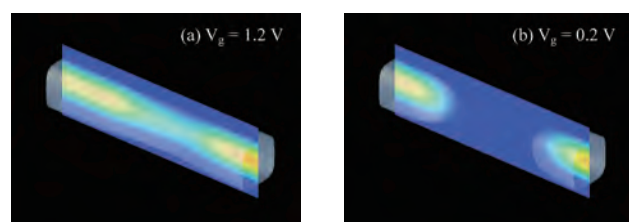


図2.5.1.4 (a) オン状態, (b) オフ状態における電子密度分布。