

# 微細化・低電圧化指向RF・アナログ集積回路技術の研究開発

松岡 俊匡

大阪大学大学院工学研究科  
電気電子情報工学専攻

あらまし： CMOSデバイスの微細化に伴う高性能化をうまく回路性能に活かすことのできるRF・アナログ集積回路技術の研究開発の状況を報告する。本研究では、無線通信用途に焦点を当て、低雑音増幅器、電圧制御発振器などのRF回路、オペアンプに代表されるアナログ回路、またこれらと併用されるデジタル回路に関する研究成果を述べる。併せて、通信用信号検出回路のナノスケール・デバイス対応を目指した新しい信号検出アーキテクチャについても紹介する。

## はじめに

近年、無線通信は急速に発達し、電子デバイスの小型化、軽量化、多機能化、高性能化などが要求されている。この要求に従い、内蔵される集積回路にもさらなる微細化、高速化、低消費電力化が望まれている。現在、このような要望に応える技術として、微細化による性能向上が期待できるCMOS RF回路技術の研究開発が盛んである。ITRS2007(International Technology Roadmap for Semiconductors, 2007 Edition)によれば、低動作電力デジタル回路の電源電圧が2016年に0.5Vにまで低下することが予想され、RF・アナログ回路についても0.5V程度までは低下する可能性がある。このような技術動向を鑑みて、電源電圧0.5V以下を目標として、無線通信用途に焦点を当て、微細CMOSデバイスの性能を活かすことのできるRF・アナログ集積回路技術の開発を目指している。

平成19, 20年度の主な研究成果を以下に述べる。

### 1. トランスを用いた低電圧フォールデッド型 CMOS 低雑音増幅器の開発 [1]

微細化に伴い、低電源電圧動作の他にコスト低減のための小面積化がRF回路にも求められている。RF回路はオンチップ・インダクタなどの占有面積の大きい受動素子を使用することが多いためである。

低電源電圧下 ( $V_{DD}=0.5V$ )での動作に適した狭帯域用CMOS低雑音増幅器(LNA: Low-Noise Amplifier)として、フォールデッド型LNAがあるが、多くのインダクタを必要とするため占有面積

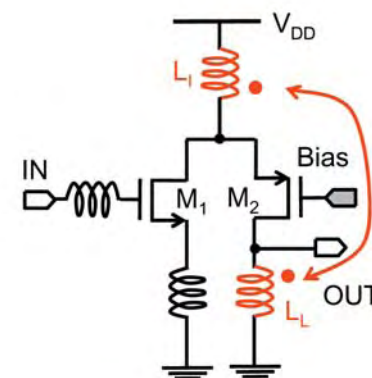
が大きくなる。そこで、我々は内部インダクタと負荷インダクタを重ね合わせトランスとすることでフォールデッド型LNAよりも小面積となるLNAを提案した(図1(a)参照)。90nmデジタルCMOSプロセスによる試作(図1(b)参照)により、フォールデッド型LNAの約3/4の面積で同等の性能(5GHzにおいて $S_{11}<-10$  dB,  $S_{21}>16.8$  dB,  $NF=3.9$  dB,  $IIP3=-6.1$  dBm)が得られることを実証した。0.5Vの電源電圧で1.0 mWの消費電力である。

### 2. 0.5V動作5GHz VCOの開発 [2]

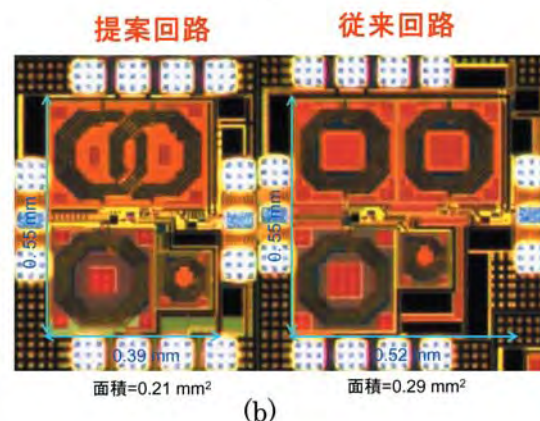
無線通信用要素回路の1つである電圧制御発振器(VCO: Voltage Controlled Oscillator)の0.5V電源電圧での5GHzの発振動作を達成した。低電流で発振可能な特長を持つComplementary構成を採用し、NMOS, PMOS各々にバイアスを設定できる回路構成とすることにより、位相雑音の最適化を図った。90nmデジタルCMOSプロセスを用いて試作(図2(a)参照)した結果、チューニングレンジ4.96~5.32 GHz (7%), 位相雑音-98 dBc/Hz @ 1MHz offset という良好な性能が0.5V電源電圧動作で達成できた(図2(b)参照)。

### 3. 弱反転動作ロジック回路の特性変動抑制技術 [3]

低電源電圧化に伴い、一部のロジック回路では弱反転動作が必要となってくる。この弱反転状態は従来の強反転動作よりも温度や素子特性ばらつきに対する強い依存性をもつため、その補償方法が重要である。そこで、MOSトランジスタのボディ電

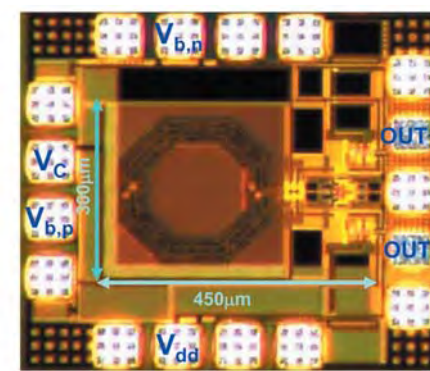


(a)



(b)

図1 0.5V動作5GHz CMOS LNAの(a)回路図と(b)チップ写真(90nm デジタルCMOSプロセス使用)



(a)



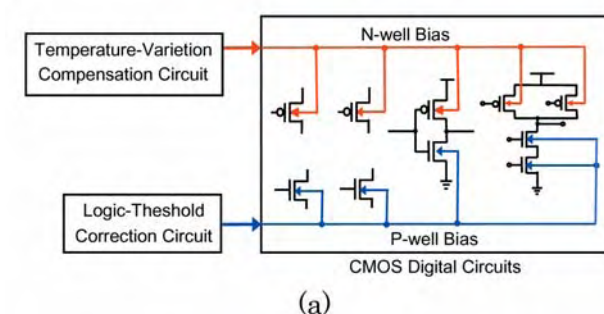
(b)

図2 0.5V動作5GHz CMOS VCOの(a)チップ写真と(b)発振スペクトル(90nm デジタルCMOSプロセス使用)

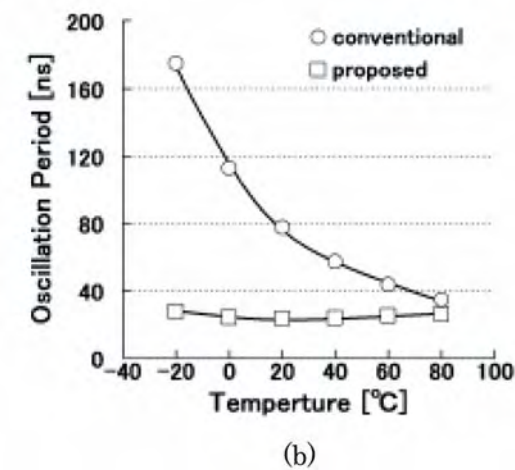
圧を温度や素子特性ばらつきに応じて制御する(図3(a)参照)ことにより、ロジック回路の特性を補償する手法を提案した。11段リング発振回路の発振周期の温度依存性の回路シミュレーション結果(図3(b)参照)では、提案手法により発振周波数の温度依存性が大きく改善することが示されている。

### 4. 0.5V動作オペアンプの設計 [4]

低電源電圧でも高速セリング可能なCMOSインバータで構成されたオペアンプを提案し、180nm CMOSプロセスで設計した。このオペアンプでは、キャパシタによる浮遊電圧源(SC-FVS, Switched Capacitor Floating Voltage Source)と順方向ボディバイアスを採用している。新規回路構成(図4(a)参照)の採用により、小面積化と良好な同相除去比CMRRを実現している。0.5V動作において、 $GBW=56$  MHz ( $C_L=20$  pF)(図4(b)参照)、消費電力350  $\mu$ Wと良好な結果を得た。



(a)



(b)

図3 弱反転動作CMOSロジック回路の特性変動抑制技術の(a)構成図と(b)11段リング発振器の発振周期のシミュレーション結果(180nm CMOSプロセス使用)

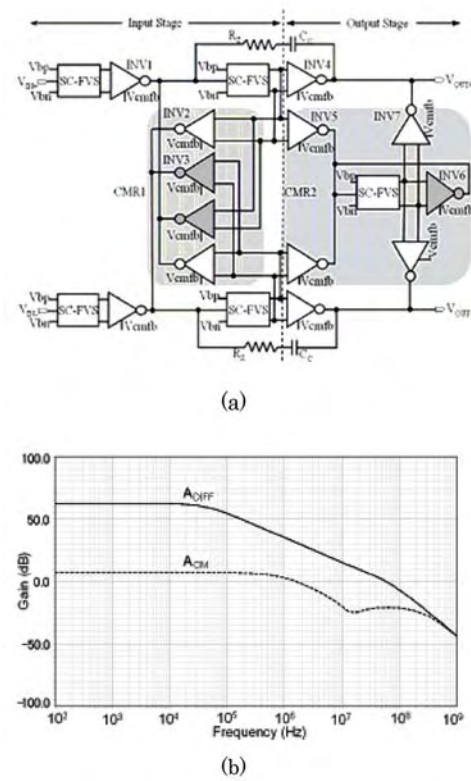


図4 0.5V動作CMOS オペアンプの(a)構成と (b)利得の周波数特性のシミュレーション結果 (180nm CMOSプロセス使用)

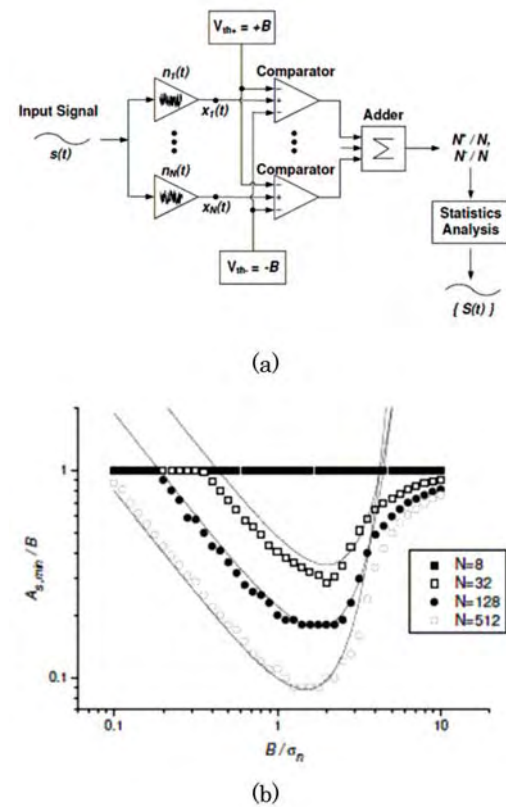


図5 雑音統計を用いた微弱信号検出方法の(a)構成図と(b) BPSK変調信号入力に対する感度の数値シミュレーション結果 (OSR=8)(実線:モデル式のフィッティング結果)

### 5. 雑音統計を用いた微弱信号検出方法の開発[5]

CMOSプロセスの微細化と低電源電圧化によって、雑音の影響はさらに大きくなり、従来のA/D変換を用いた受信方式のままではダイナミックレンジの確保が困難となっている。そこで、従来の雑音レベルの低減によるダイナミックレンジの確保ではなく、雑音統計を応用して、雑音レベル以下の微弱信号でも検出できる高感度化を実現することを検討している。

2つの閾値を用いたコンパレータを多数並列に配置し、統計処理段のハードウェア化も容易とする方式(図5(a)参照)を考案した。ここで、並列化した回路では各々の内部付加雑音が無相関となることに着目し、雑音統計を利用して、信号の復元を行っている。

数値シミュレーションにより、提案方式の性能を調べた結果を述べる。雑音を固定したままで閾値を変化させてビット誤り率BERが $10^{-3}$ となる入力信号強度値 $A_{s,min}$ を求めたところ、閾値 $B$ より小さい信号の検出が実現できることを確認している。さらに、コンパレータ数 $N$ 、オーバーサンプリング・レートOSRや入力信号の変調方式( $m$ -PSK)に対して、感度について次のモデル式が成立することも見出した。

$$\frac{A_{s,min}}{B} = \frac{P}{Q} \sqrt{\frac{m}{OSR \times N} \frac{\sigma_n}{B} \exp\left(Q^2 \frac{B^2}{2\sigma_n^2}\right)}$$

ここで、 $\sigma_n$ は雑音強度、 $Q$ は感度が最小となる $\sigma_n/B$ の値、 $P$ はフィッティング・パラメータである。コンパレータ数 $N$ に対する感度特性の数値シミュレーション結果(図5(b)参照)より、モデル式が感度の小さい付近で数値シミュレーション結果を良く再現していることがわかった。このモデル式に基づいて、提案方式のシステム設計が可能となる。

このようなシステム・モデリングに基づいて、受信回路への適用の可能性も検討した。提案構成の入力端子の前段にフィルタと低雑音増幅器を設置して、128個のコンパレータを並列に並べ、信号検出を行う場合のBERを調べた結果、 $20 \mu V$ のBPSK変調信号入力でもBER= $10^{-3}$ で信号復元できることを数値シミュレーションで確認している。

この提案システムは素子特性のばらつきにも強い耐性を持つことが、数値シミュレーションにより明らかになっている。この特長は微細化に伴う素子特性のミスマッチの増加を克服できることを示唆する。

### まとめ

以上、微細化・低電源電圧化に向けたRF・アナログ集積回路技術の研究開発における平成19、20年度の主な研究成果を述べた。将来の電子デバイスのナノスケールまでの微細化に向けた研究開発が国内外で積極的に進められているが、それに対応するような回路・システム技術の研究開発が求められている。このような背景の下、今後も微細デバイスの特性をうまく活用した革新的な集積回路技術を創出していきたいと考える。

### 参考文献

- [1] T. Kihara, H.-J. Park, I. Takobe, F. Yamashita, T. Matsuoka, and K. Taniguchi, "A 0.5 V Area-Efficient Transformer Folded-Cascode CMOS Low-Noise Amplifier," IEICE Trans. Electron, Vol. E92-C, No. 4, Apr. 2009, in press.
- [2] 山下文明, 木原崇雄, 田古部勲, 朴海柱, 松岡俊匡, 谷口研二, "0.5V動作バイアス制御CMOS型VCO", 電子情報通信学会ソサイエティ大会(2008年9月).
- [3] K. Yasue, J. Wang, T. Matsuoka, and K. Taniguchi, "Study of Subthreshold-Operation CMOS Logic Circuit with Body-Bias-Control," IEEE International Meeting for Future of Electron Devices, Kansai, May. 22-23, 2008, Osaka, Japan, pp. 95-96.
- [4] J. Wang, T.-Y. Lee, D.-G. Kim, T. Matsuoka, and K. Taniguchi, "Design of A 0.5V Op-Amp Based on CMOS Inverter Using Floating Voltage Sources," IEICE Trans. Electron, Vol. E91-C, No. 8, pp. 1375-1378, Aug. 2008.
- [5] H. Ham, T. Matsuoka, and K. Taniguchi, "Application of Noise-Enhanced Detection of Subthreshold Signals for Communication Systems," IEICE Trans. on Fundamentals, Vol. E92-A, No. 4, Apr. 2009, in press.