

2.6.2 CMOS RF集積回路技術

松岡俊匡

電気電子情報工学専攻・准教授

2.6.2.1 はじめに

今日、携帯電話の普及、低高度軌道周回衛星を用いたGPS (Global Positioning System) の実用化、家庭内無線LANの導入などによって無線通信は非常に身近なものとなり、日常生活に必要不可欠なものとなった。このように無線通信が急速に発達した結果、機器の小型化、軽量化、そして多機能化と高性能化が要求されている。この要求に従い、内蔵される集積回路にもさらなる微細化と高速化、低消費電力化が望まれている。現在、このような要望に応える技術として、微細化による性能向上が期待できるCMOS RF回路技術の開発が盛んである。しかし、プロセスの微細化に伴う電源電圧の低下により、従来のRF・アナログ回路のままでは性能の維持が困難となりつつある。特に、今後のセンサネットワーク技術の進展に伴い、この傾向が加速されるものと考えられる。ボタン電池や太陽電池などの従来使用されてきた電池の他に、近年Energy-Scavenging技術やバイオ電池などの出現により、1V 以下の回路動作の要望が増えてくるものと思われる。

ITRS2007(International Technology Roadmap for Semiconductors, 2007 Edition)によれば、高精度RF・アナログ回路については低電圧化が遅れているものの、高性能RF・アナログ回路に関しては低電圧化が進んでいる。低動作電力デジタル回路の電源電圧が2016年に0.5Vにまで低下していることを考えると、RF・アナログ回路についても0.5V程度まで低下していく可能性がある。このような技術動向を鑑みて、電源電圧0.5V以下を目標として、微細CMOSデバイスの性能を活かすことのできる無線通信用RF・アナログ回路技術の開発を目指している。

また、電池と降圧DC-DCコンバータを用いてLSIを駆動した際、LSIの電源電圧が0.5Vまで低減すると、電池自体の起電力が高くても使用継続時間の長期化に大きく貢献することになると期待できる。本拠点で開発する低電圧回路技術は、単に微細化のトレンドを追うのみでなく、携帯機器、センサネットワーク機器などの電池駆動機器の使用継続時間をさらに長くできる点でも重要なものである。平成19年度の具体的な研究成果は以下の通りである。

2.6.2.2 0.5V動作オペアンプの設計 [参考文献1]

低電圧高速セトリング可能なCMOSインバータで構成されたオペアンプを0.18 μm CMOSプロセスで設計した。このオペアンプでは、キャパシタによる浮遊電圧源と順方向ボディ・バイアスを採用している。回路構成の改良により、小面積化と良好なCMRRを実現している。0.5V動作において、 $GBW=56\text{MHz}$ ($C_L=20\text{pF}$)、消費電力350 μW となり、性能指数 $\eta = GBW \cdot C_L \cdot V_{DD} / \text{Power}$ は 1.6V^{-1} と良好な結果を得た。

2.6.2.3 トランスを用いた低電圧フォールデッド型CMOS LNAの設計 [参考文献2]

現在、低雑音増幅器 (LNA: Low-Noise Amplifier) には、カスコード型構成が最もよく用いられている。しかし、このLNAは2倍のドレイン・ソース間電圧以上の電源電圧 ($V_{DD} > 2 V_{DSAT}$) を必要とするため、低電源電圧下 ($V_{DD}=0.5\text{V}$) での動作は困難である。低電圧に適したLNAとして、フォールデッド型LNAがあるが、カスコード型よりも多くのインダクタを必要とするため、面積が大きくなる。そこで、フォールデッド型LNAよりも小面積で、さらに同等の性能であるLNAを検討した。フォールデッド型LNA

LNA の約2/3の面積で同等の性能が得られることを実証した。

2.6.2.4 雑音統計を用いた新しい微弱信号検出方法の開発 [参考文献3]

プロセスの微細化と低電源電圧化により、無線通信用アナログ集積回路における雑音の影響はさらに大きくなり、従来のA/D変換を用いた受信方式のままではダイナミックレンジの確保が困難となっている。そこで、従来の雑音レベルの低減によるダイナミックレンジの確保ではなく、確率共鳴を応用して、雑音レベル以下の微弱信号でも検出できる高感度化技術を検討した。確率共鳴は近年ナノスケール電子デバイスへの応用も期待されており、微細化との適合性があるものと考えられる。

図2.6.2.2に示すように、高速信号処理のためコンパレータをアレイ状に配置し、信頼性向上のために閾値を2つ用い、これにより統計処理段のハードウェア化も容易とする方式を考案した。この微弱信号受信方式の設計指針の策定のため、数値シミュレーションを用いて性能を詳細に調べた。この結果、内部雑音電力の0.04倍の電力を持つ微弱信号がビットエラーレート 10^{-3} で再現できることを確認した。

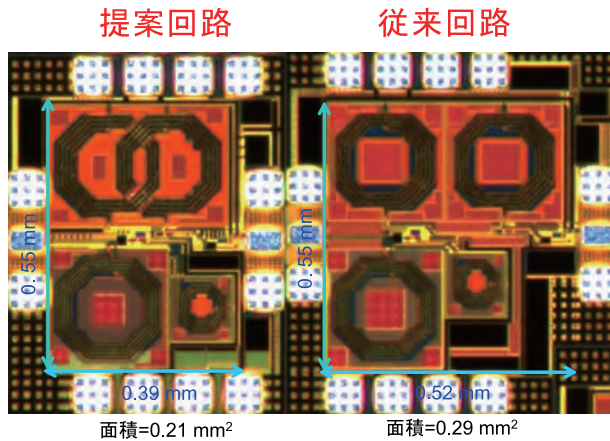


図2.6.2.1 0.5V動作5GHz CMOS LNAのチップ写真。
(90nm CMOSプロセス使用)

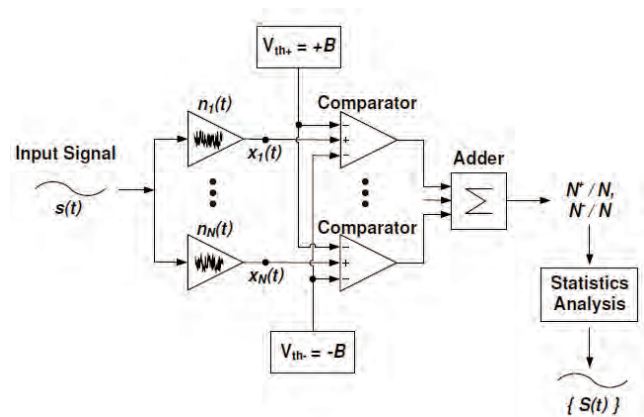


図2.6.2.2 雑音統計を用いた微弱信号検出方法。

参考文献

- [1] J. Wang, T-Y. Lee, D-G. Kim, T. Matsuoka, and K. Taniguchi, "A 0.5V Ultra-Low Power Op-Amp Using Floating Voltage Sources," 1st Global COE International Symposium on Electron Devices Innovation (EDIS2008), Jan. 21-22, 2008, Osaka, Japan, pp. 61-62.
- [2] 木原崇雄, 朴海柱, 田古部勲, 山下文明, 松岡俊匡, 谷口研二, “トランスを用いた低電圧フォールデッド型CMOS LNA”, 電子情報通信学会総合大会 (2008年3月, 北九州)
- [3] ハムヒョンジュ, 松岡俊匡, 谷口研二, “雑音統計を用いた微弱信号検出の通信への応用”, 電子情報通信学会総合大会 (2008年3月, 北九州)